

BUNDESREPUBLIK DEUTSCHLAND



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 102 43 604.5

Anmeldetag: 19. September 2002

Anmelder/Inhaber: Infineon Technologies AG, München/DE

Bezeichnung: Anordnung von mehreren gemeinsam in ein- und derselben Wanne eines Halbleiter-Bauelements liegenden Widerständen, sowie Halbleiter-Bau-element mit mindestens einer derartigen Anordnung


IPC: H 01 L 27/08

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 14. Oktober 2003
Deutsches Patent- und Markenamt

Der Präsident

Im Auftrag


Faus

Beschreibung

- Anordnung von mehreren gemeinsam in ein- und derselben Wanne eines Halbleiter-Bauelements liegenden Widerständen, sowie
5. Halbleiter-Bauelement mit mindestens einer derartigen Anordnung

- Die Erfindung betrifft - gemäß Oberbegriff des Anspruchs 1 -
- 10 eine Anordnung von mehreren gemeinsam in ein- und derselben Wanne eines Halbleiter-Bauelements liegenden Widerständen, sowie ein Halbleiter-Bauelement mit mindestens einer derartigen Anordnung von Widerständen.
- 15 Halbleiter-Bauelemente, z.B. entsprechende, integrierte (analoge bzw. digitale) Rechenschaltkreise, Halbleiter-Speicherbauelemente wie z.B. Funktionsspeicher-Bauelemente (PLAs, PALs, etc.) und Tabellenspeicher-Bauelemente (z.B. ROMs oder RAMs, insbesondere SRAMs und DRAMs), weisen - zur
- 20 Ausgabe von im jeweiligen Halbleiter-Bauelement erzeugten Daten - eine Vielzahl von Ausgangs-Anschlüssen bzw. Ausgangs-Pads auf.

- Die Ausgangs-Anschlüsse bzw. Ausgangs-Pads sind mit einer -
- 5 die entsprechenden Ausgangs-Signale treibenden - Einrichtung, d.h. einer Treiber-Einrichtung verbunden.

- Jede Treiber-Einrichtung kann z.B. eine Pull-Up-, und eine Pull-Down-Schaltvorrichtung aufweisen, die in Reihe
- 30 geschaltet sind, wobei die Pull-Up-Schaltvorrichtung z.B. an die Versorgungsspannung, und die Pull-Down-Schaltvorrichtung z.B. an die Erde angeschlossen sein kann, und wobei - zum Treiben eines „logisch hohen“ Ausgangs-Signals - die Pull-Up-Schaltvorrichtung ein-, und die Pull-Down-Schaltvorrichtung
- 35 ausgeschaltet, und - zum Treiben eines „logisch niedrigen“ Ausgangs-Signals - die Pull-Up-Schaltvorrichtung aus-, und die Pull-Down-Schaltvorrichtung eingeschaltet werden kann.

Zwischen eine entsprechende Treiber-Einrichtung, und den jeweiligen Ausgangs-Anschluß bzw. das jeweilige Ausgangs-Pad kann - zur Linearisierung des Treiber-Verhaltens - ein
5 entsprechend groß gewählter Widerstand, insbesondere N-Diffusions-Widerstand angeschlossen sein.

Zur Herstellung eines N-Diffusions-Widerstands wird das entsprechende Gebiet auf dem Halbleiter-Bauelement bzw. dem
10 Chip - relativ stark - N-dotiert.

Die Größe des Widerstandswerts des jeweiligen N-Diffusions-Widerstands kann z.B. dadurch auf den jeweils gewünschten Widerstandswert eingestellt werden, dass die Länge (bzw. die
15 Breite bzw. Weite) des N-Diffusions-Widerstands entsprechend gewählt wird - je länger (bzw. breiter) der N-Diffusions-Widerstand, desto größer (bzw. kleiner) ist der sich ergebende Widerstandswert.

20 Aus technologischen Gründen sind die - relativ stark N-dotierten - Diffusionsgebiete der N-Diffusions-Widerstände in ein schwächer N-dotiertes Gebiet, d.h. eine sog. WN-Wanne eingebettet.

25 Um Chip-Fläche einzusparen, sind in der Regel mehrere (insbesondere sämtliche) N-Diffusions-Widerstände - nebeneinander liegend - in einer einzigen WN-Wanne angeordnet.

30 Dies hat zur Folge, dass die N-Diffusions-Widerstände - über den durch die WN-Wanne gebildeten, parasitären Widerstand - miteinander verbunden sind, so dass sich benachbarte N-Diffusions-Widerstände in ihrem sich jeweils - effektiv - ergebendem Widerstandswert gegenseitig beeinflussen.

Dieser Einfluß ist um so größer, je größer der Unterschied zwischen den Widerstandswerten jeweils benachbarter N-Diffusions-Widerstände ist.

5 Aus diesem Grund muß im Stand der Technik (insbesondere bei relativ großem Unterschied zwischen den Widerstandswerten) der Abstand zwischen jeweils benachbarten N-Diffusions-Widerständen relativ groß gewählt werden.

10 Dieser - relativ große - Abstand zwischen den N-Diffusions-Widerständen führt zu einer relativ großen, insgesamt für die Anordnung der N-Diffusions-Widerstände benötigten Chip-Fläche.

15

Die Erfindung hat zur Aufgabe, eine neuartige Anordnung von mehreren gemeinsam in ein- und derselben Wanne eines Halbleiter-Bauelements liegenden Widerständen bereitzustellen, sowie ein Halbleiter-Bauelement mit

20 mindestens einer derartigen Anordnung von Widerständen.

Sie erreicht dieses und weitere Ziele durch die Gegenstände der Ansprüche 1 und 19.

25 Vorteilhafte Weiterbildungen der Erfindung sind in den Unteransprüchen angegeben.

Gemäß einem Grundgedanken der Erfindung wird eine Anordnung von mehreren gemeinsam in ein- und derselben Wanne,

30 insbesondere WN-Wanne eines Halbleiter-Bauelements liegenden Widerständen bereitgestellt, wobei die Widerstände - in Längsrichtung der Widerstände betrachtet - versetzt zueinander angeordnet sind.

35 Bei einer bevorzugten Ausgestaltung der Erfindung sind die Widerstände - in Längsrichtung der Widerstände betrachtet - jeweils abwechselnd nach vorne und nach hinten hin versetzt

angeordnet (wobei vorteilhaft sämtliche, nach vorne hin versetzte Widerstände jeweils um die gleiche Länge nach vorne hin, und sämtliche nach hinten hin versetzte Widerstände jeweils um die gleiche Länge nach hin versetzt sein können).

5

Besonders vorteilhaft ist ein bestimmter Widerstand - gegenüber seinem unmittelbar benachbarten Widerstand - um ungefähr die Länge l (oder etwas weniger als die Länge l) des unmittelbar benachbarten Widerstands - in Längsrichtung der Widerstände betrachtet - versetzt.

10

Bevorzugt sind die Widerstände alle im wesentlichen identisch aufgebaut, und weisen alle im wesentlichen den gleichen Einzel-Widerstandswert auf.

15

Dies - und die sich durch die oben beschriebene versetzte Anordnung der Widerstände ergebenden, relativ großen Abstände zwischen jeweils zwei benachbarten - in der gleichen Ebene liegenden - Widerständen - hat zur Folge, dass sich die Widerstände - die über den durch die WN-Wanne gebildeten, parasitären Widerstand miteinander verbunden sind - sich in ihrem jeweils - effektiv - ergebendem Widerstandswert nur relativ schwach beeinflussen.

20

25

Deshalb kann der Abstand zwischen jeweils unmittelbar aufeinanderfolgenden bzw. benachbarten - in versetzten Ebenen liegenden - Widerständen relativ klein gewählt werden.

Dies führt insgesamt zu einer relativ kleinen, für die Widerstands-Anordnung benötigten Chip-Fläche.

30

Im folgenden wird die Erfindung anhand von Ausführungsbeispielen und der beigefügten Zeichnung näher erläutert. In der Zeichnung zeigt:

35

Figur 1 eine Schnittansicht eines Abschnitts eines Halbleiter-Bauelements mit einer Anordnung von benachbarten, in einer WN-Wanne liegenden N-Diffusions-Widerständen, und von diese kontaktierenden Metall-Anschlüssen gemäß dem Stand der Technik;

Figur 2 eine Schnittansicht eines Abschnitts eines Halbleiter-Bauelements mit einer Anordnung von benachbarten, in einer WN-Wanne liegenden N-Diffusions-Widerständen, und von diese kontaktierenden Metall-Anschlüssen gemäß einem Ausführungsbeispiel der vorliegenden Erfindung.

In Figur 1 ist eine Schnittansicht eines Abschnitts 1 eines Halbleiter-Bauelements mit einer Anordnung von benachbarten, in einer WN-Wanne 2 liegenden N-Diffusions-Widerständen 3a, 3b, und von diese kontaktierenden Metall-Anschlüssen 4a, 4b, 5a, 5b gemäß dem Stand der Technik gezeigt.

Bei dem Halbleiter-Bauelement kann es sich z.B. um einen integrierten (analogen bzw. digitalen) Rechenschaltkreis, oder um ein Halbleiter-Speicherbauelemente wie z.B. ein Funktionsspeicher-Bauelement (PLA, PAL, etc.) oder ein Tabellenspeicher-Bauelement (z.B. ROM oder RAM) handeln, insbesondere um ein DRAM, z.B. ein DDR-DRAM (Double Data Rate DRAM bzw. DRAM mit doppelter Datenrate).

Die in Figur 1 gezeigten, jeweils „vorne“ auf dem Halbleiter-Bauelement liegenden Metall-Anschlüsse 4a, 5a können z.B. an entsprechende (hier nicht dargestellte) Ausgangs-Anschlüsse bzw. Ausgangs-Pads des Halbleiter-Bauelements angeschlossen sein, bzw. die jeweils „hinten“ liegenden Metall-Anschlüsse 4b, 5b z.B. an entsprechende (hier ebenfalls nicht dargestellte) Signal-Treiber-Einrichtungen.

Wie in Figur 1 weiter gezeigt ist, kontaktieren die vorderen Metall-Anschlüsse 4a, 5a den jeweiligen N-Diffusions-

Widerstand 3a, 3b - über einen entsprechenden Diffusions-Metall-Kontakt 6a, 7a - jeweils an einem am vorderen Ende des N-Diffusions-Widerstands 3a, 3b liegenden Bereich, und die hinteren Metall-Anschlüsse 4b, 5b den jeweiligen N-

- 5 Diffusions-Widerstand 3a, 3b - über einen entsprechenden Diffusions-Metall-Kontakt 6b, 7b - jeweils an einem am hinteren Ende des N-Diffusions-Widerstands 3a, 3b liegenden Bereich.
- 10 Dadurch, daß der Widerstandswert des jeweiligen, zwischen die entsprechende Signal-Treiber-Einrichtung, und den entsprechenden Ausgangs-Anschluß bzw. das entsprechende Ausgangs-Pad geschalteten N-Diffusions-Widerstands 3a, 3b entsprechend groß gewählt wird, kann beim Halbleiter-
- 15 Bauelement eine Linearisierung des Treiberhaltens erreicht werden.

- Zur Herstellung der N-Diffusions-Widerstände 3a, 3b wird das entsprechende Gebiet auf dem Halbleiter-Bauelement bzw. dem
- 20 Chip - relativ stark - N-dotiert.

- Die Größe des Widerstandswerts der N-Diffusions-Widerstände 3a, 3b kann z.B. dadurch auf den jeweils gewünschten Widerstandswert eingestellt werden, dass (z.B. bei jeweils
- 25 identischer Länge l der N-Diffusions-Widerstände 3a, 3b) deren Weite bzw. Breite b entsprechend - unterschiedlich - groß gewählt wird (beispielsweise ist bei der in Figur 1 gezeigten Ausgestaltung der (erste) N-Diffusions-Widerstand
- 30 N-Diffusions-Widerstand 3a mit einer - relativ großen - Breite b', und der (zweite) N-Diffusions-Widerstand 3b mit einer - relativ geringen - Breite b'' ausgeführt, so daß sich für den ersten N-Diffusions-Widerstand 3a ein relativ geringer, und für den zweiten N-Diffusions-Widerstand 3b ein relativ hoher Widerstandswert ergibt).

35

Aus technologischen Gründen sind die - relativ stark N-dotierten - Diffusionsgebiete der N-Diffusions-Widerstände

3a, 3b in ein - relativ schwach N-dotiertes - Gebiet (nämlich die o.g. WN-Wanne 2) eingebettet.

Um Chip-Fläche einzusparen, sind mehrere, insbesondere
5 sämtliche N-Diffusions-Widerstände 3a, 3b - nebeneinander liegend - in einer einzigen WN-Wanne 2 angeordnet (d.h. neben dem in Figur 2 dargestellten ersten und zweiten N-Diffusions-Widerstand 3a, 3b noch mehrere weitere, hier nicht dargestellte N-Diffusions-Widerstände).

10

Dies hat zur Folge, dass die N-Diffusions-Widerstände 3a, 3b (und die weiteren, hier nicht dargestellten N-Diffusions-Widerstände) - über den durch die WN-Wanne 2 gebildeten, parasitären Widerstand - miteinander verbunden sind, so dass
15 sich benachbarte N-Diffusions-Widerstände 3a, 3b in ihrem sich jeweils - effektiv - ergebendem Widerstandswert gegenseitig beeinflussen.

20

Dieser Einfluß ist um so größer, je größer der Unterschied zwischen den Widerstandswerten jeweils benachbarter N-Diffusions-Widerstände 3a, 3b ist.

25

Aus diesem Grund muß - bei der in Figur 1 gezeigten Anordnung der N-Diffusions-Widerstände 3a, 3b gemäß dem Stand der Technik - (insbesondere bei relativ großem Unterschied zwischen den Widerstandswerten der N-Diffusions-Widerstände 3a, 3b) der Abstand a zwischen jeweils benachbarten N-Diffusions-Widerständen 3a, 3b relativ groß gewählt werden.

30

Dieser - relativ große - Abstand a zwischen den N-Diffusions-Widerständen 3a, 3b führt zu einer relativ großen, insgesamt für die Anordnung der N-Diffusions-Widerstände 3a, 3b benötigten Chip-Fläche.

35

In Figur 2 ist eine Schnittansicht eines Abschnitts 11 eines Halbleiter-Bauelements mit einer Anordnung von benachbarten,

in einer WN-Wanne 12 liegenden N-Diffusions-Widerständen 13a, 13b, 13c, 13d, 13e, und von diese kontaktierenden Metall-Anschlüssen 14a, 14b, 14c, 14d, 14e, 14f, 15a, 15b, 15c, 15d gemäß einem Ausführungsbeispiel der Erfindung gezeigt.

5 Bei dem Halbleiter-Bauelement kann es sich z.B. um einen integrierten (analogen bzw. digitalen) Rechenschaltkreis, oder um ein Halbleiter-Speicherbauelemente wie z.B. ein Funktionsspeicher-Bauelement (PLA, PAL, etc.) oder ein
10 Tabellenspeicher-Bauelement (z.B. ROM oder RAM) handeln, insbesondere um ein DRAM, z.B. ein DDR-DRAM (Double Data Rate DRAM bzw. DRAM mit doppelter Datenrate).

Wie in Figur 2 gezeigt ist, kontaktieren die - in Bezug auf
15 die N-Diffusions-Widerstände 13a, 13b, 13c, 13d, 13e weiter „vorne“ auf dem Halbleiter-Bauelement liegenden - Metall-Anschlüsse 14a, 14c, 14e, 15a, 15c den jeweiligen N-Diffusions-Widerstand 13a, 13b, 13c, 13d, 13e - über einen entsprechenden Diffusions-Metall-Kontakt 16a, 17a - jeweils
20 an einem am vorderen Ende des N-Diffusions-Widerstands 13a, 13b, 13c, 13d, 13e liegenden Bereich.

Auf entsprechende Weise kontaktieren die - in Bezug auf die N-Diffusions-Widerstände 13a, 13b, 13c, 13d, 13e weiter
25 „hinten“ auf dem Halbleiter-Bauelement liegenden - Metall-Anschlüsse 14b, 14d, 14f, 15b, 15d den jeweiligen N-Diffusions-Widerstand 13a, 13b, 13c, 13d, 13e - über einen entsprechenden Diffusions-Metall-Kontakt 16b, 17b - jeweils
an einem am hinteren Ende des N-Diffusions-Widerstands 13a,
30 13b, 13c, 13d, 13e liegenden Bereich.

Wie weiter unten noch genauer erläutert wird, sind die N-Diffusions-Widerstände 13a, 13b, 13c, 13d, 13e - über die Metall-Anschlüsse 14a, 14c, 14e, 15a, 15c, und die Metall-
35 Anschlüsse 14b, 14d, 14f, 15b, 15d - zwischen (hier nicht dargestellte) Ausgangs-Anschlüsse bzw. Ausgangs-Pads des Halbleiter-Bauelements, und entsprechende (hier ebenfalls

nicht dargestellte) Signal-Treiber-Einrichtungen des Halbleiter-Bauelements angeschlossen.

5 Zur Herstellung der N-Diffusions-Widerstände 13a, 13b, 13c, 13d, 13e wird das entsprechende Gebiet auf dem Halbleiter-Bauelement bzw. dem Chip - auf an sich bekannte Weise - relativ stark N-dotiert.

10 Wie in Figur 2 weiter gezeigt ist, sind die - relativ stark N-dotierten - Diffusionsgebiete der N-Diffusions-Widerstände 13a, 13b, 13c, 13d, 13e in ein - relativ schwach N-dotiertes - Gebiet (nämlich die bereits oben erwähnte WN-Wanne 12) eingebettet.

15 Um Chip-Fläche einzusparen, sind mehrere (z.B. mehr als zwei, drei oder vier, insbesondere sämtliche) N-Diffusions-Widerstände 13a, 13b, 13c, 13d, 13e des Halbleiter-Bauelements in einer einzigen WN-Wanne 12 angeordnet (d.h. neben den in Figur 2 dargestellten N-Diffusions-Widerständen
20 13a, 13b, 13c, 13d, 13e noch mehrere weitere, hier nicht dargestellte N-Diffusions-Widerstände).

25 Die o.g., in ein- und derselben WN-Wanne 12 befindlichen N-Diffusions-Widerstände 13a, 13b, 13c, 13d, 13e sind alle im wesentlichen identisch aufgebaut. Insbesondere weisen die N-Diffusions-Widerstände 13a, 13b, 13c, 13d, 13e alle im wesentlichen die gleiche Länge l auf, sowie die gleiche Weite bzw. Breite b, und die gleiche Tiefe t.

30 Aus diesem Grund ergibt sich für sämtliche der o.g. N-Diffusions-Widerstände 13a, 13b, 13c, 13d, 13e jeweils ein - im wesentlichen - identischer Einzel-Widerstandswert R.

35 Wie weiter aus Figur 2 ersichtlich ist, sind die - nebeneinanderliegenden - N-Diffusions-Widerstände 13a, 13b, 13c, 13d, 13e - in Längsrichtung der N-Diffusions-Widerstände 13a, 13b, 13c, 13d, 13e betrachtet - jeweils abwechselnd

nach „vorne“ bzw. nach „hinten“ hinten hin versetzt liegend angeordnet (und zwar so, daß jeweils jeder zweite N-Diffusions-Widerstand (z.B. der erste, dritte und fünfte N-Diffusions-Widerstand 13a, 13c, 13e) - z.B. um jeweils eine
5 identische, beispielsweise um im wesentlichen eine halbe Widerstands-Länge $l/2$ - nach „hinten“ hin, und die übrigen, dazwischenliegenden N-Diffusions-Widerstände (hier z.B. der zweite und vierte N-Diffusions-Widerstand 13b, 13d) - um eine entsprechende Länge (z.B. eine halbe Widerstands-Länge $l/2$) -
10 nach „vorne“ hin versetzt sind).

Die Mittelachsen (insbesondere die mittleren Querachsen) von jeweils jedem zweiten der nebeneinanderliegenden N-Diffusions-Widerstände 13a, 13b, 13c, 13d, 13e (d.h. die
15 Mittelachsen des ersten, dritten und fünften N-Diffusions-Widerstands 13a, 13c, 13e, und die Mittelachsen des zweiten und vierten N-Diffusions-Widerstands 13b, 13d) liegen jeweils auf ein- und derselben (quer von oben nach unten durch das Halbleiter-Bauelement hindurch verlaufenden) Ebene.

20

Des weiteren liegen - ebenfalls jeweils bei jedem zweiten N-Diffusions-Widerstand 13a, 13b, 13c, 13d, 13e (d.h. jeweils beim ersten, dritten und fünften N-Diffusions-Widerstand 13a, 13c, 13e, und jeweils beim zweiten und vierten N-Diffusions-
25 Widerstand 13b, 13d) - die jeweils vorderen Enden der entsprechenden N-Diffusions-Widerstände 13a, 13c, 13e bzw. 13b, 13d (und damit jeweils die entsprechenden - vorderen - Diffusions-Metall-Kontakte 16a bzw. 17a der entsprechenden N-Diffusions-Widerstände 13a, 13c, 13e bzw. 13b, 13d) auf ein-
30 und derselben (zu den o.g. Mittel-Ebenen parallel verlaufenden) Ebene.

Auf entsprechende Weise liegen auch - ebenfalls jeweils bei jedem zweiten N-Diffusions-Widerstand 13a, 13b, 13c, 13d, 13e
35 (d.h. jeweils beim ersten, dritten und fünften N-Diffusions-Widerstand 13a, 13c, 13e, und jeweils beim zweiten und vierten N-Diffusions-Widerstand 13b, 13d) - die jeweils

hinteren Enden der N-Diffusions-Widerstände 13a, 13c, 13e bzw. 13b, 13d (und damit jeweils die entsprechenden - hinteren - Diffusions-Metall-Kontakte 16b bzw. 17b der entsprechenden N-Diffusions-Widerstände 13a, 13c, 13e bzw. 13b, 13d) auf ein- und derselben Ebene.

Wie in Figur 2 weiter gezeigt ist, sind die N-Diffusions-Widerstände 13a, 13b, 13c, 13d, 13e - jeweils abwechselnd - soweit nach „vorne“ bzw. nach „hinten“ hin versetzt, daß die jeweils vorderen Enden des nach „hinten“ versetzten ersten, dritten und fünften N-Diffusions-Widerstands 13a, 13c, 13e (und damit deren vorderen Diffusions-Metall-Kontakte 16a) jeweils im wesentlichen auf der gleichen Ebene liegen, wie die jeweils hinteren Enden des nach „vorne“ versetzten zweiten und vierten N-Diffusions-Widerstands 13b, 13d (und damit deren hintere Diffusions-Metall-Kontakte 17b).

Jeweils jeder zweite der jeweils benachbarten Metall-Anschlüsse 14a, 14b, 14c, 14d, 14e, 14f, 15a, 15b, 15c, 15d weist eine identische Länge k' bzw. k'' auf (insbesondere weist jeder zweite der jeweils vorne liegenden Metall-Anschlüsse 14a, 14c, 14e, und jeder zweite der jeweils hinten liegenden Metall-Anschlüsse 15b, 15d eine - relativ große, erste - Länge k' auf, und die dazwischenliegenden Metall-Anschlüsse 14b, 14d, 14f, 15a, 15c eine - relativ kleine, zweite - Länge k'' , so daß - trotz der o.g. versetzten Anordnung der N-Diffusions-Widerstände 13a, 13b, 13c, 13d, 13e - die jeweils vorderen Enden sämtlicher jeweils vorne liegender Metall-Anschlüsse 14a, 14c, 14e, 15a, 15c, und die jeweils hinteren Enden sämtlicher jeweils hinten liegender Metall-Anschlüsse 14b, 14d, 14f, 15b, 15d jeweils im wesentlichen auf ein- und derselben Ebene liegen).

Wie bereits oben erläutert, weist jeder der N-Diffusions-Widerstände 13a, 13b, 13c, 13d, 13e jeweils einen - im wesentlichen - identischen Einzel-Widerstandswert R auf.

Abhängig von dem jeweils gewünschten Widerstandswert R_{Soll} eines - durch die N-Diffusions-Widerstände 13a, 13b, 13c, 13d, 13e zu bildenden, zwischen eine bestimmte Signal-Treiber-Einrichtung, und den zugehörigen Ausgangs-Anschluß bzw. das zugehörige Ausgangs-Pad zu schaltenden - Zwischen-Widerstands wird jeweils eine bestimmte Anzahl der N-Diffusions-Widerstände 13a, 13b, 13c, 13d, 13e parallelgeschaltet, und mit dem entsprechenden Ausgangs-Anschluß bzw. dem entsprechenden Ausgangs-Pad, und der zugehörigen Signal-Treiber-Einrichtung verbunden (so daß sich - bei z.B. zwei parallelgeschalteten N-Diffusions-Widerständen 13a, 13b - für den sich ergebenden Zwischen-Widerstand z.B. ein Gesamt-Widerstandswert R_{gesamt} von $R/2$ ergibt, bei drei parallelgeschalteten N-Diffusions-Widerständen 13a, 13b, 13c z.B. ein Gesamt-Widerstandswert R_{gesamt} von $R/3$, etc.).

Zur Parallelschaltung der entsprechenden N-Diffusions-Widerstände 13a, 13b, 13c, 13d, 13e zwischen einen bestimmten Ausgangs-Anschluß bzw. ein bestimmtes Ausgangs-Pad, und eine zugehörige Treiber-Einrichtung werden die entsprechenden vorderen Metall-Anschlüsse 14a, 14c, 14e, 15a, 15c der jeweils parallelzuschaltenden N-Diffusions-Widerstände 13a, 13b, 13c, 13d, 13e - gemeinsam - an den entsprechenden Ausgangs-Anschluss bzw. an das entsprechende Ausgangs-Pad angeschlossen, bzw. die entsprechenden hinteren Metall-Anschlüsse 14b, 14d, 14f, 15b, 15d der jeweils parallelzuschaltenden N-Diffusions-Widerstände 13a, 13b, 13c, 13d, 13e - gemeinsam - an die entsprechende Signal-Treiber-Einrichtung.

Dadurch, daß der Widerstandswert R_{gesamt} des jeweiligen, zwischen die entsprechende Signal-Treiber-Einrichtung, und den entsprechenden Ausgangs-Anschluß bzw. das entsprechende Ausgangs-Pad geschalteten - durch die entsprechende Anzahl an parallelgeschalteten N-Diffusions-Widerständen 13a, 13b, 13c, 13d, 13e gebildeten - Zwischen-Widerstands entsprechend

gewählt wird (insbesondere so, daß gilt: $R_{\text{gesamt}} \cong R_{\text{sol1}}$), kann beim Halbleiter-Bauelement eine Linearisierung des Treiberhaltens erreicht werden.

- 5 Da sämtliche N-Diffusions-Widerstände 13a, 13b, 13c, 13d, 13e den gleichen Einzel-Widerstandswert R aufweisen, und aufgrund des sich durch die versetzte Anordnung der N-Diffusions-Widerstände 13a, 13b, 13c, 13d, 13e ergebenden, relativ großen Abstands c zwischen jeweils zwei benachbarten, in der gleichen Ebene liegenden N-Diffusions-Widerständen (z.B. der Abstand c zwischen dem zweiten N-Diffusions-Widerstand 13b, und dem vierten N-Diffusions-Widerstand 13d) ist der Einfluß des - über die WN-Wanne 12 gebildeten, parasitären, die einzelnen N-Diffusions-Widerstände 13a, 13b, 13c, 13d, 13e miteinander verbindenden Widerstands - auf die sich - unter Berücksichtigung des parasitären Widerstands - effektiv ergebenden Einzel-Widerstände R' der N-Diffusions-Widerstände 13a, 13b, 13c, 13d, 13e (bzw. auf den sich durch die o.g. Parallelschaltung - unter Berücksichtigung des parasitären Widerstands - effektiv ergebenden Gesamt-Widerstandswert R_{gesamt}) relativ gering.

- Aus diesem Grund kann bei der in Figur 2 gezeigten Anordnung der N-Diffusions-Widerstände 13a, 13b, 13c, 13d, 13e der Abstand a zwischen jeweils unmittelbar aufeinanderfolgenden, in versetzten Ebenen liegenden N-Diffusions-Widerständen (z.B. der Abstand a zwischen dem ersten N-Diffusions-Widerstand 13a, und dem zweiten N-Diffusions-Widerstand 13b, der Abstand a zwischen dem zweiten N-Diffusions-Widerstand 13b, und dem dritten N-Diffusions-Widerstand 13c, etc.) relativ klein gewählt werden.

- Dieser - relativ kleine - Abstand a zwischen den N-Diffusions-Widerständen 13a, 13b, 13c, 13d, 13e führt zu einer relativ kleinen, insgesamt für den Aufbau der N-Diffusions-Widerstände 13a, 13b, 13c, 13d, 13e benötigten Chip-Fläche.

Da jeder N-Diffusions-Widerstand 13a, 13b, 13c, 13d, 13e identisch aufgebaut ist, wie die übrigen N-Diffusions-Widerstände 13a, 13b, 13c, 13d, 13e (und diesen gegenüber auf
5 jeweils entsprechende Weise angeordnet ist), wird eine Standard-Umgebung geschaffen, die - einmalig - modelliert und verifiziert eine genaue Vorhersagbarkeit der sich jeweils - effektiv - ergebenden Widerstandswerte ermöglicht.

Patentansprüche

1. Anordnung von mehreren gemeinsam in ein- und derselben Wanne (12) eines Halbleiter-Bauelements liegenden

5 Widerständen (13a, 13b, 13c, 13d, 13e),

d a d u r c h g e k e n n z e i c h n e t, dass die Widerstände (13a, 13b, 13c, 13d, 13e) - in Längsrichtung der Widerstände (13a, 13b, 13c, 13d, 13e) betrachtet - versetzt zueinander angeordnet sind.

10

2. Anordnung nach Anspruch 1, bei welcher die Widerstände (13a, 13b, 13c, 13d, 13e) alle im wesentlichen die gleiche Länge (l) aufweisen.

15

3. Anordnung nach Anspruch 1 oder 2, bei welcher die Widerstände (13a, 13b, 13c, 13d, 13e) alle im wesentlichen die gleiche Breite bzw. Weite (b) aufweisen.

20

4. Anordnung nach einem der vorhergehenden Ansprüche, bei welcher die Widerstände (13a, 13b, 13c, 13d, 13e) alle im wesentlichen die gleiche Tiefe aufweisen.

25

5. Anordnung nach einem der vorhergehenden Ansprüche, bei welcher die Widerstände (13a, 13b, 13c, 13d, 13e) alle im wesentlichen identisch aufgebaut sind.

30

6. Anordnung nach einem der vorhergehenden Ansprüche, bei welcher die Widerstände (13a, 13b, 13c, 13d, 13e) alle im wesentlichen den gleichen Einzel-Widerstandswert (R) aufweisen.

35

7. Anordnung nach einem der vorhergehenden Ansprüche, welche mehr als zwei oder drei, insbesondere mehr als vier oder fünf Widerstände (13a, 13b, 13c, 13d, 13e) aufweist.

8. Anordnung nach einem der vorhergehenden Ansprüche, bei welcher die Widerstände (13a, 13b, 13c, 13d, 13e) - in

Längsrichtung der Widerstände (13a, 13b, 13c, 13d, 13e) betrachtet - jeweils abwechselnd nach vorne und nach hinten hin versetzt sind.

- 5 9. Anordnung nach einem der vorhergehenden Ansprüche, bei welcher ein Widerstand (13a) gegenüber seinem unmittelbar benachbarten Widerstand (13b) um ungefähr die Länge (l), oder etwas weniger als die Länge (l) des unmittelbar benachbarten Widerstands (13b) versetzt ist.
- 10 10. Anordnung nach einem der vorhergehenden Ansprüche, bei welcher der Abstand (a) zwischen einem Widerstand (13a) und seinem unmittelbar benachbarten Widerstand (13b) - in Querrichtung der Widerstände (13a, 13b, 13c, 13d, 13e) betrachtet - kleiner ist als ein Drittel, insbesondere kleiner als ein Fünftel oder ein Zehntel der Breite bzw. Weite (b), und/oder kleiner ist als ein Drittel, insbesondere kleiner als ein Fünftel oder ein Zehntel der Länge (l) des Widerstands (13a) bzw. des unmittelbar benachbarten
- 15 Widerstands (13b).
- 20 11. Anordnung nach einem der vorhergehenden Ansprüche, bei welcher die Wanne (12) relativ schwach dotiert, insbesondere relativ schwach N-dotiert ist.
- 25 12. Anordnung nach einem der vorhergehenden Ansprüche, bei welcher die Widerstände (13a, 13b, 13c, 13d, 13e) relativ stark dotiert, insbesondere relativ stark N-dotiert sind.
- 30 13. Anordnung nach Anspruch 12, bei welcher die Widerstände N-Diffusions-Widerstände (13a, 13b, 13c, 13d, 13e) sind.
- 35 14. Anordnung nach einem der vorhergehenden Ansprüche, bei welcher die Widerstände (13a, 13b, 13c, 13d, 13e) an entsprechende Signal-Treiber-Einrichtungen des Halbleiter-Bauelements angeschlossen sind.

15. Anordnung nach einem der vorhergehenden Ansprüche, bei welcher die Widerstände (13a, 13b, 13c, 13d, 13e) an entsprechende Ausgangs-Anschlüsse des Halbleiter-Bauelements angeschlossen sind.

5

16. Anordnung nach einem der vorhergehenden Ansprüche, bei welcher mehrere Widerstände (13a, 13b, 13c, 13d, 13e) parallelgeschaltet werden.

10

17. Anordnung nach Anspruch 16, bei welcher die Widerstände (13a, 13b, 13c, 13d, 13e) derart parallelgeschaltet werden, daß sich für die jeweils parallelgeschalteten Widerstände (13a, 13b, 13c, 13d, 13e) ein Gesamt-Widerstandswert (R_{gesamt}) ergibt, der - möglichst genau - einem gewünschten Soll-

15

Widerstandswert (R_{soll}) entspricht.

18. Anordnung nach Anspruch 17, bei welcher die parallelgeschalteten Widerstände (13a, 13b, 13c, 13d, 13e) gemeinsam an eine bestimmte Signal-Treiber-Einrichtung angeschlossen sind, und insbesondere der gewünschte Soll-Widerstandswert (R_{soll}) einem für die entsprechende Signal-Treiber-Einrichtung gewünschten Widerstandswert entspricht.

20

19. Halbleiter-Bauelement, mit mindestens einer Anordnung von Widerständen (13a, 13b, 13c, 13d, 13e) gemäß einem der Ansprüche 1 bis 18.

25

Zusammenfassung

- Anordnung von mehreren gemeinsam in ein- und derselben Wanne eines Halbleiter-Bauelements liegenden Widerständen, sowie
- 5 Halbleiter-Bauelement mit mindestens einer derartigen Anordnung

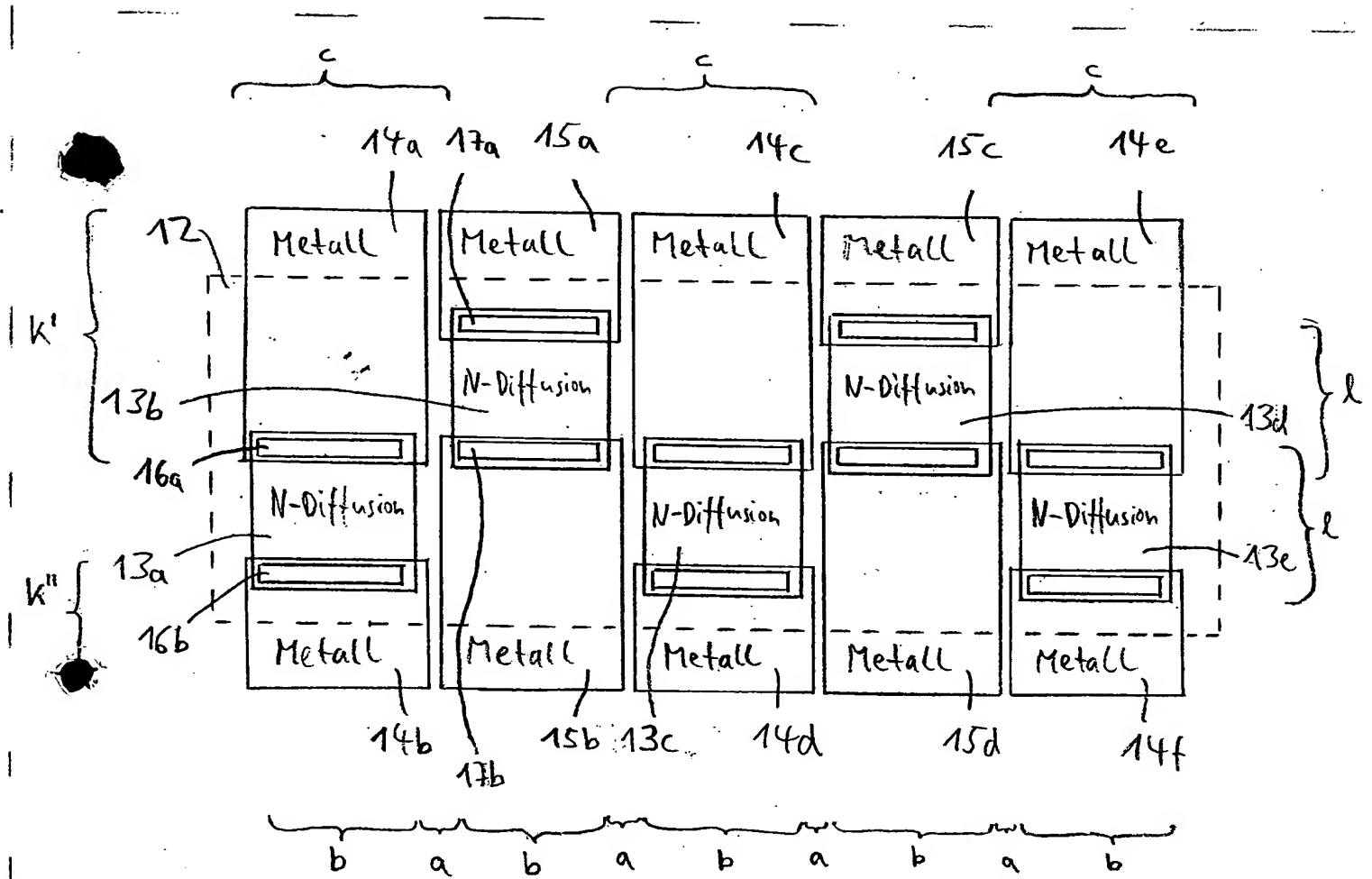
- Die Erfindung betrifft eine Anordnung von mehreren gemeinsam in ein- und derselben Wanne (12) eines Halbleiter-Bauelements
- 10 liegenden Widerständen (13a, 13b, 13c, 13d, 13e), sowie ein Halbleiter-Bauelement mit mindestens einer derartigen Anordnung von Widerständen (13a, 13b, 13c, 13d, 13e), wobei die Widerstände (13a, 13b, 13c, 13d, 13e) - in Längsrichtung der Widerstände (13a, 13b, 13c, 13d, 13e) betrachtet -
- 15 versetzt zueinander angeordnet sind.

- Figur 2 -

Bezugszeichen

	1	Halbleiter-Bauelement-Abschnitt
	2	WN-Wanne
5	3a	N-Diffusions-Widerstand
	3b	N-Diffusions-Widerstand
	4a	Metall-Anschluß
	4b	Metall-Anschluß
	5a	Metall-Anschluß
10	5b	Metall-Anschluß
	6a	Diffusions-Metall-Kontakt
	6b	Diffusions-Metall-Kontakt
	7a	Diffusions-Metall-Kontakt
	7b	Diffusions-Metall-Kontakt
15	11	Halbleiter-Bauelement-Abschnitt
	12	WN-Wanne
	13a	N-Diffusions-Widerstand
	13b	N-Diffusions-Widerstand
	13c	N-Diffusions-Widerstand
20	13d	N-Diffusions-Widerstand
	13e	N-Diffusions-Widerstand
	14a	Metall-Anschluß
	14b	Metall-Anschluß
	14c	Metall-Anschluß
25	14d	Metall-Anschluß
	14e	Metall-Anschluß
	14f	Metall-Anschluß
	15a	Metall-Anschluß
	15b	Metall-Anschluß
30	15c	Metall-Anschluß
	15d	Metall-Anschluß
	16a	Diffusions-Metall-Kontakt
	16b	Diffusions-Metall-Kontakt
	17a	Diffusions-Metall-Kontakt
35	17b	Diffusions-Metall-Kontakt

ZUSAMMENFASSUNG



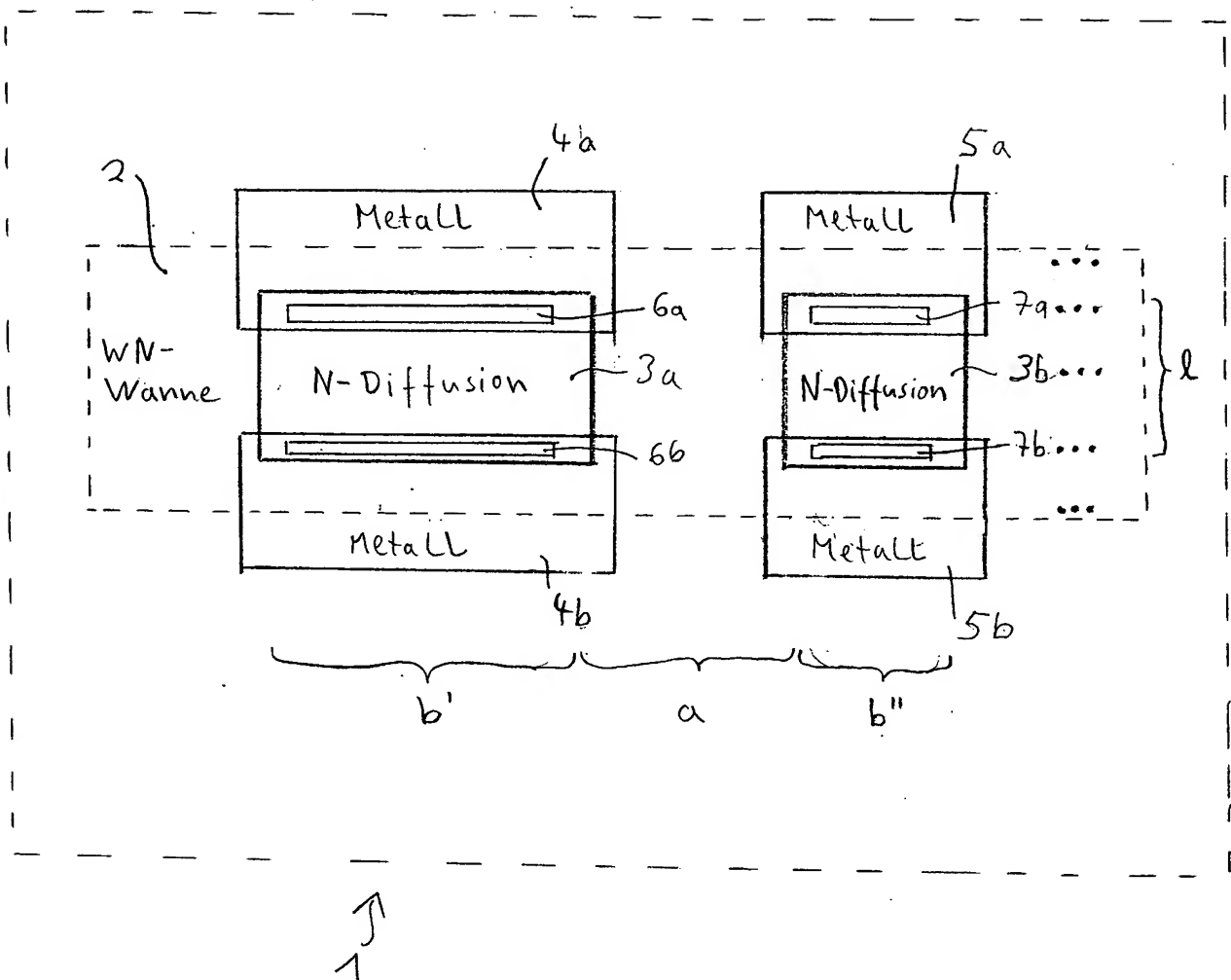
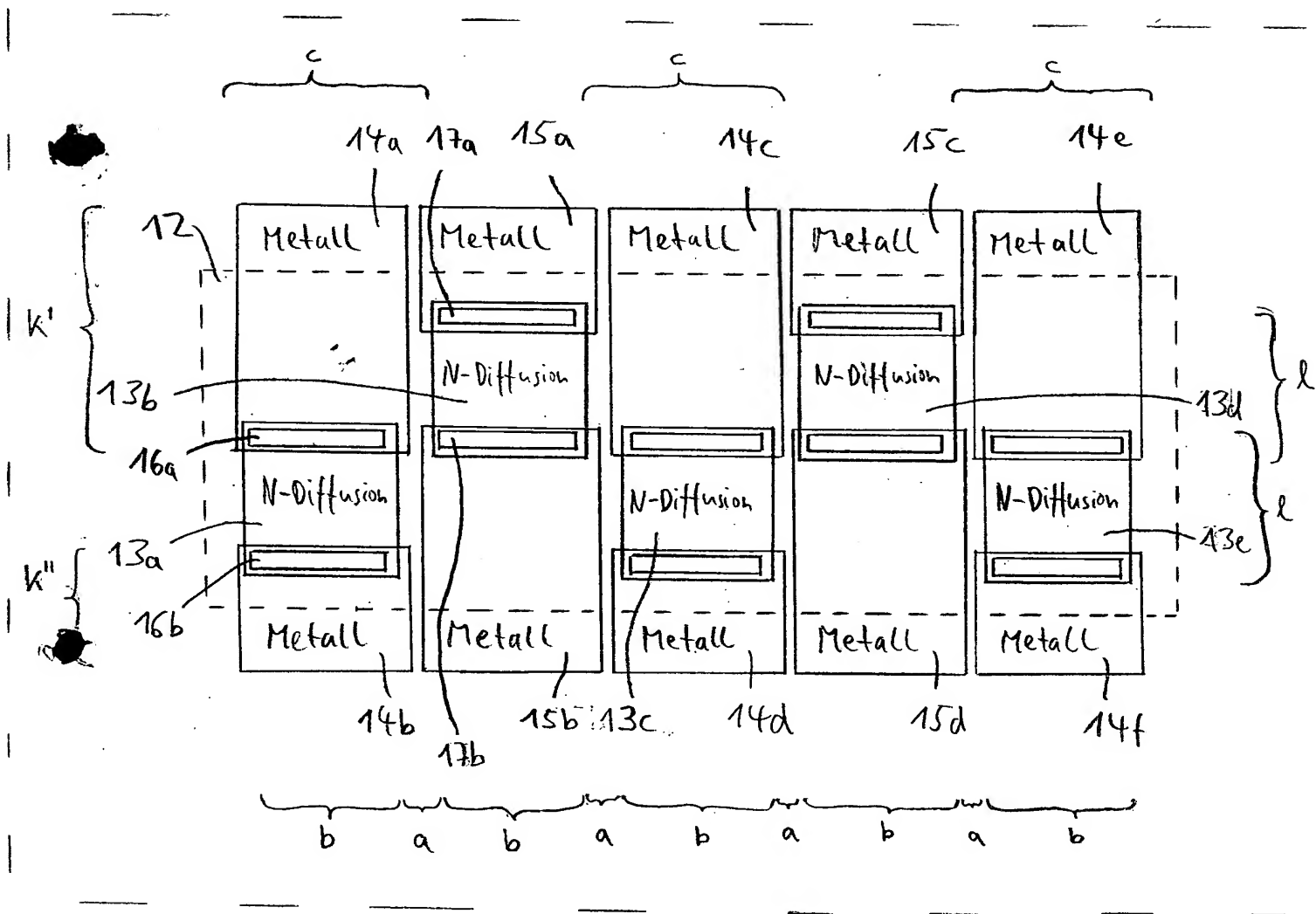


Fig. 1



↑
11

Fig. 2